

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number **08031845 A**(43) Date of publication of application: **02.02.96**

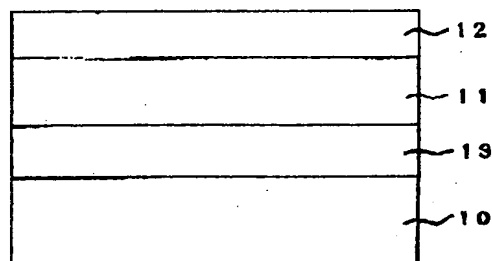
(51) Int. Cl.

**H01L 21/338****H01L 29/812****H01L 29/205****H01L 21/331****H01L 29/73****H01L 29/778**(21) Application number **06167086**(71) Applicant: **FURUKAWA ELECTRIC CO  
LTD:THE**(22) Date of filing: **19.07.94**(72) Inventor: **KOGURE KAZUO**(54) **COMPOUND SEMICONDUCTOR EPITAXIAL  
WAFER AND SEMICONDUCTOR DEVICE**

(57) Abstract:

**PURPOSE:** To facilitate grounding of a transistor being fabricated by providing a high resistance buffer layer on a compound semiconductor substrate through a conductive layer for grounding made of a compound semiconductor.

**CONSTITUTION:** A conductive layer 13 for grounding is grown epitaxially of silicon doped n-type GaAs on a semiconducting GaAs substrate 10. A high resistance buffer layer 11 of GaAs having quit low impurity concentration is provided thereon followed by formation of a conductive layer 12 of silicon doped n-type GaAs for forming a transistor element. The conductive layer 13 for grounding, the buffer layer 11, and the conductive layer 12 for forming a transistor element are grown epitaxially. This method realizes a transistor element in which deterioration of noise characteristics is suppressed and abnormal oscillation is reduced.



COPYRIGHT (C)1996 JPO

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平8-31845

(43)公開日 平成8年(1996)2月2日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/338 29/812 29/205		9171-4M	H 0 1 L 29/ 80 29/ 205	B
審査請求 未請求 請求項の数4 O L (全 5 頁) 最終頁に続く				

(21)出願番号 特願平6-167086

(22)出願日 平成6年(1994)7月19日

(71)出願人 000005290

古河電気工業株式会社

東京都千代田区丸の内2丁目6番1号

(72)発明者 小暮 和男

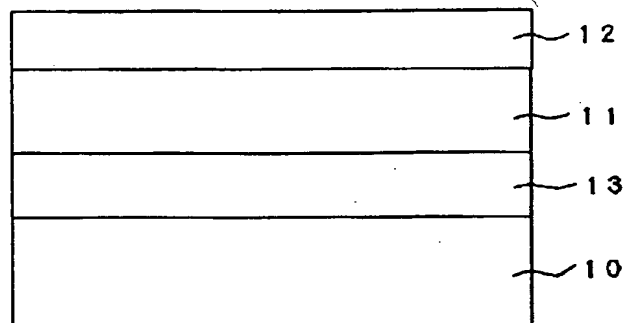
東京都千代田区丸の内2丁目6番1号 古河電気工業株式会社内

(54)【発明の名称】 化合物半導体エピタキシャルウエハ及び半導体デバイス

(57)【要約】 (修正有)

【構成】 トランジスタ用の化合物半導体エピタキシャルウエハであって、化合物半導体基板10上に化合物半導体からなるアース用導電層13を介して高抵抗のバッファ層11が設けられていることを特徴とする半導体エピタキシャルウエハ、および前記化合物半導体エピタキシャルウエハを用いた半導体デバイス。

【効果】 本発明の化合物半導体エピタキシャルウエハは、基板とバッファ層の間にアース用の導電層を設けてなるので、バッファ層上の導電層に作製するトランジスタ素子のアースを容易にとることができる。従って、本発明のエピタキシャルウエハを用いればノイズ特性の劣化が少なく、また異常発振故障も少ないFET、HBT、HEMT等のトランジスタ素子が得られる。



**【特許請求の範囲】**

**【請求項 1】** トランジスタ用の化合物半導体エピタキシャルウエハであって、化合物半導体基板上に化合物半導体からなるアース用導電層を介して高抵抗のバッファ層が設けられていることを特徴とする半導体エピタキシャルウエハ。

**【請求項 2】** 前記アース用導電層が、抵抗率  $2.0 \times 10^{-4} \Omega \cdot \text{cm}$  以下、厚さ  $0.3 \mu\text{m}$  以上の化合物半導体からなることを特徴とする請求項 1 記載の化合物半導体エピタキシャルウエハ。

**【請求項 3】** 化合物半導体基板上に化合物半導体からなるアース用導電層を介して高抵抗のバッファ層が設けられていることを特徴とする半導体デバイス。

**【請求項 4】** 前記アース用導電層が、抵抗率  $2.0 \times 10^{-2} \Omega \cdot \text{cm}$  以下、厚さ  $0.3 \mu\text{m}$  以上の化合物半導体からなることを特徴とする請求項 3 記載の半導体デバイス。

**【発明の詳細な説明】****【0001】**

**【産業上の利用分野】** 本発明は、電界効果トランジスタ (FET)、高速電子移動度トランジスタ (HEMT)、ヘテロ接合バイポーラトランジスタ (HBT) 等のトランジスタ素子の作製に用いる化合物半導体エピタキシャルウエハに関する。

**【0002】**

**【従来の技術】** 従来の化合物半導体エピタキシャルウエハの一例として、FET 用化合物半導体エピタキシャルウエハの構造を図 2 に示す。図 2 に示すように、従来の FET 用化合物半導体エピタキシャルウエハは、例えば GaAs からなる半絶縁性の化合物半導体基板 20 の上に、不純物濃度の極めて低い GaAs 等からなる電氣的に高抵抗のバッファ層 21 がエピタキシャル成長法により設けられ、さらにその上に不純物がドーブされたいずれかの型の化合物半導体からなるトランジスタ素子となるべき導電層 22 が設けられたものが代表的な構造である。ここでバッファ層 21 は、化合物半導体基板 20 からの不純物拡散がトランジスタ素子となるべき導電層 22 に到達するのを防止するために設けられるものである。このバッファ層の抵抗は、通常  $1.0 \times 10^7 \Omega \cdot \text{cm}$  以上とする必要がある。

**【0003】**

**【発明が解決しようとする課題】** しかしながら、このような基板の上に電氣的に高抵抗のバッファ層が設けられたエピタキシャルウエハを用いてトランジスタ素子を作製しようとする、バッファ層上の導電層に作製するトランジスタ素子の電氣的接地を取ることが困難となり、作製したトランジスタ素子の作動時に発振、ノイズ特性の劣化を生じることがあり問題であった。

**【0004】** そこで、基板の、バッファ層及びトランジスタ素子となるべき導電層を成長させた面とは反対の

面に金属蒸着層を設け、この金属蒸着層に作製したトランジスタ素子のアースをとることが行われている。即ち、基板のバッファ層等を成長させた面とは反対の面に金属を蒸着して金属蒸着層を設け、この金属蒸着層にアースをとることが行われている。しかし、このように基板の反対面に金属蒸着層を設けてアースをとる方法は、金属蒸着する手間等がかかり、トランジスタ素子を含むデバイスの実際の作製までの工程が複雑かつ時間がかかるものとなり問題であった。また、従来の、金属蒸着層にアースをとる方法では、アースの効果が不十分であった。

**【0005】** よって、本発明は上記の問題を解決し、作製するトランジスタ素子のアースが容易にとれてトランジスタ素子の特性が良好で、かつトランジスタ素子を含むデバイスの作製までの手間がかからないエピタキシャルウエハ及び前記エピタキシャルウエハを用いた半導体デバイスを提供することを目的とする。

**【0006】**

**【課題を解決するための手段】** 即ち本発明は、トランジスタ用のエピタキシャルウエハであって、化合物半導体基板上に化合物半導体からなるアース用導電層を介して高抵抗のバッファ層が設けられていることを特徴とする化合物半導体エピタキシャルウエハを提供する。また、本発明は、化合物半導体基板上に化合物半導体からなるアース用導電層を介して高抵抗のバッファ層が設けられていることを特徴とする半導体デバイスを提供する。

**【0007】** 本発明において、化合物半導体からなるアース用導電層は、バッファ層及びトランジスタ素子となるべき導電層と同様にエピタキシャル成長法により成長させる。なお、アース用導電層としては、抵抗率  $2.0 \times 10^{-2} \Omega \cdot \text{cm}$  以下、厚さ  $0.3 \mu\text{m}$  以上の化合物半導体が好ましい。

**【0008】** バッファ層、アース用導電層及びトランジスタ素子となるべき導電層のエピタキシャル成長は、従来公知のエピタキシャル成長法により成長させることができ、例えば有機金属気相成長法、分子線エピタキシャル成長法等により成長させることができる。

**【0009】** 本発明のエピタキシャルウエハを用いて FET、HEMT、HBT 等のトランジスタ素子を作製する際には、トランジスタ素子の接地に使用する電極を、エッチングにより露出させたアース用導電層に接触または、接触後合金化させることで容易にトランジスタ素子のアースが可能である。

**【0010】**

**【作用】** 本発明の化合物半導体エピタキシャルウエハは、基板とバッファ層の間にアース用導電層を設けるので、バッファ層上の導電層に作製するトランジスタ素子のアースをアース用導電層により容易にとることができる。このように、本発明のエピタキシャルウエ

ハを用いてデバイスを作製すれば、トランジスタ本体のアースを容易にとることができるため、トランジスタ素子の発振、ノイズ特性の劣化を少なくすることができる。

#### 【0011】

【実施例】以下、本発明を実施例を用いて詳細に説明する。図1は、本発明の一実施例であり、半絶縁性GaAs基板を用いたFET用化合物半導体エピタキシャルウエハの概略断面図である。図1に示すように、本発明の一実施例のFET用化合物半導体エピタキシャルウエハは、半絶縁性GaAs基板10の上に、シリコンがドーブされたn型のGaAsからなるアース用の導電層13がエピタキシャル成長法により設けられ、その上に不純物濃度の極めて低いGaAsからなる高抵抗のバッファ層11が設けられ、さらにその上にシリコンがドーブされたn型のGaAsからなるトランジスタ素子となるべき導電層12が設けられている。

【0012】アース用導電層13、バッファ層11及びトランジスタ素子となるべき導電層12の成長はいずれもエピタキシャル成長法により成長させる。このエピタキシャル成長法としては有機金属気相成長法、分子線エピタキシャル成長法等が挙げられる。

【0013】上記したFET用エピタキシャルウエハの一例の構造において、さらに発明者らは、アース用導電層について、その厚さと、不純物のドーブ濃度を様々に変えてエピタキシャルウエハを作製し、さらにそのエピタキシャルウエハを用いて、当該アース用導電層にアースをとったFETを作製し、その特性の評価をノイズ特性の劣化率により行った。アース用導電層の不純物濃度は $0.6 \times 10^{19} \text{ cm}^{-3}$ 、 $0.8 \times 10^{19} \text{ cm}^{-3}$ 、 $1.0 \times 10^{19} \text{ cm}^{-3}$ 、 $2.0 \times 10^{19} \text{ cm}^{-3}$ 、 $3.0 \times 10^{19} \text{ cm}^{-3}$ の5段階に変化させ、それぞれの濃度について、アース用導電層の厚さを $0.1 \mu\text{m}$ 、 $0.2 \mu\text{m}$ 、 $0.3 \mu\text{m}$ 、 $0.5 \mu\text{m}$ 、 $0.8 \mu\text{m}$ に変化させた。

【0014】その結果、ノイズ特性の劣化率は、膜厚を一定にした場合、アース用導電層の不純物濃度が大きいほど小さくなる傾向を示し、 $4.0 \times 10^{18} \text{ cm}^{-3}$ 以上の不純物濃度においては、劣化率は不純物濃度に依存せずほぼ一定の値を示した。また、不純物濃度を一定とした場合には $0.3 \mu\text{m}$ 以上の膜厚においては、劣化率は不純物濃度に依存せずほぼ一定の低い値を示した。

【0015】ところで、GaAsにおけるn型不純物濃度と抵抗率の関係は、一般に下記に示すようである。

#### 【0016】

【表1】

不純物濃度 ( $\text{cm}^{-3}$ )	抵抗率 ( $\Omega \cdot \text{cm}$ )
$1.0 \times 10^{18}$	$5.0 \times 10^{-2}$
$4.0 \times 10^{18}$	$2.0 \times 10^{-2}$
$1.0 \times 10^{19}$	$1.5 \times 10^{-2}$

【0017】従って、アース用導電層の厚さは、 $0.3 \mu\text{m}$ 以上、不純物濃度は $1.0 \times 10^{19} \text{ cm}^{-3}$ 以上の範囲内であれば、特性がよく、かつ特性の安定したトランジスタ素子が得られることがわかる。

【0018】次に、本発明と従来のエピタキシャルウエハよりFETを作製して比較評価した結果について説明する。即ち、図1に示した構造の本発明の一実施例のFET用エピタキシャルウエハと、図2に示した従来のFET用エピタキシャルウエハを、本発明におけるアース用導電層の成長以外のエピタキシャル成長層の厚さ、成長条件等は同様にして有機金属気相成長法により成長させて作製した。作製したこれらのエピタキシャルウエハに、公知の方法でエッチング、電極付け等の加工を施して、FETを作製した。この際、従来のエピタキシャルウエハを用いた方については、基板のバッファ層を成長させた面とは反対の面をエッチングして金属蒸着層を設け、この金属蒸着層にアースをとった。本発明のエピタキシャルウエハを用いた方については、FETのアース用電極をアース用導電層に接触させ合金化してアースをとった。なお、シリコンがドーブされたn型のGaAsからなるアース用導電層13の成長は、 $700^\circ\text{C}$ の成長温度で有機金属気相成長法により行った。また、このアース用導電層の厚さは $0.3 \mu\text{m}$ 、不純物濃度は $1.0 \times 10^{19} \text{ cm}^{-3}$ とした。

【0019】作製したこれらのFETの評価を行った結果、本発明のエピタキシャルウエハを用いたFETでは、従来のエピタキシャルウエハを用いたFETより、ノイズ特性の劣化が30%減少した。また、異常発振故障も、本発明のエピタキシャルウエハを用いたFETの方が、従来のエピタキシャルを用いたFETに比べて15%減少した。

【0020】以上、半絶縁性GaAs基板を用いたFET用エピタキシャルウエハについて述べたが、本発明の化合物半導体エピタキシャルウエハは、基板はGaAsに限定されるものではなく、InP等の化合物半導体が適用可能である。また、バッファ層、アース用導電層、トランジスタ本体となる導電層は、GaAs、AlGaAs等の化合物半導体が適用可能である。

【0021】本発明の化合物半導体エピタキシャルウエハはFET用に限るものではなく、HEMT用(図3)、HBT用(図4)に適用可能である。

#### 【0022】

【発明の効果】本発明の化合物半導体エピタキシャルウエハは、基板とバッファ層の間にアース用の導電層を

設けてなるので、バッファ層上の導電層に作製するトランジスタ素子のアースを容易にとることができる。従って、本発明のエピタキシャルウエハを用いればノイズ特性の劣化が少なく、また異常発振故障も少ないFET、HBT、HEMT等のトランジスタ素子が得られる。

#### 【図面の簡単な説明】

【図1】図1は、本発明のエピタキシャルウエハの一実施例の概略断面図であり、FET用のエピタキシャルウエハの概略断面図である。

【図2】図2は、従来のエピタキシャルウエハの概略断面図であり、FET用のエピタキシャルウエハの概略断面図である。

【図3】図3は、本発明の化合物半導体エピタキシャルウエハを用いたHEMTの概略断面図である。

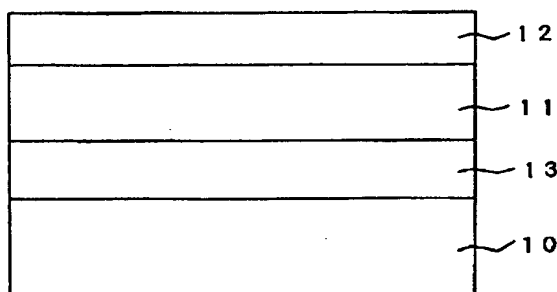
【図4】図4は、発明の化合物半導体エピタキシャルウエハを用いたHBTの概略断面図である。

#### 【符号の説明】

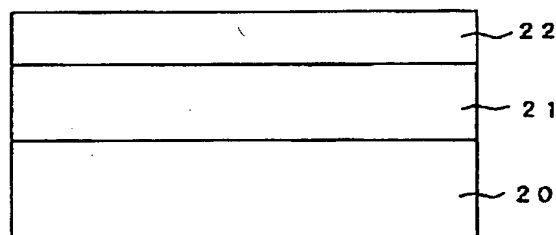
- 10 半絶縁性GaAs基板
- 11 ノンドープGaAs層
- 12 シリコンドープn型GaAs層
- 13 シリコンドープn型GaAsアース用導電層
- 20 化合物半導体基板

- 21 高抵抗のバッファ層
- 22 導電層
- 30 半絶縁性GaAs基板
- 31 ノンドープGaAsバッファ層
- 32a n型GaAs層
- 32b p型GaAs層
- 32c n型GaAs層
- 33 シリコンドープn型GaAsアース用導電層
- 34a アース電極
- 35a コレクタ電極
- 35b ベース電極
- 35c エミッタ電極
- 40 半絶縁性GaAs基板
- 41 ノンドープGaAsバッファ層
- 42a ノンドープGaAs層
- 42b シリコンドープn型AlGaAs層
- 42c シリコンドープn型GaAs層
- 43 シリコンドープn型GaAsアース用導電層
- 44a アース電極
- 45a ゲート電極
- 45b ドレイン電極
- 45c ソース電極

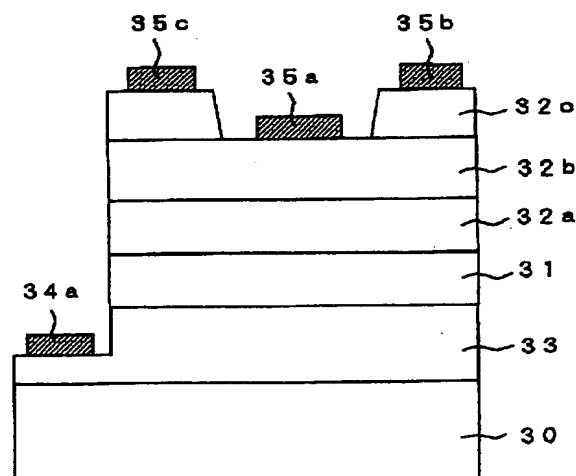
【図1】



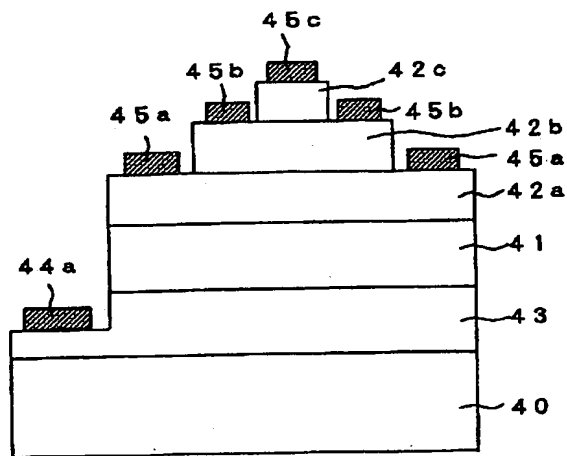
【図2】



【図3】



【図4】



フロントページの続き

(51) Int. Cl. <sup>6</sup>

H01L 21/331

29/73

29/778

識別記号

庁内整理番号

F I

技術表示箇所

H01L 29/72

9171-4M

29/80

H